

PATENT
81912.0014
Express Mail Label No. EV 325 217 117 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Satoshi YANAGISAWA

Serial No: Not assigned

Filed: August 18, 2003

For: Semiconductor Device with
Semiconductor Chip Mounted in Package

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

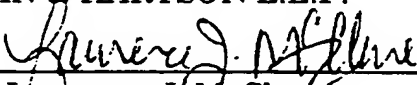
Enclosed herewith is a certified copy of Japanese patent application No. 2002-259601 which was filed September 5, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: August 18, 2003

By: 
Lawrence J. McClure
Registration No. 44,228
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月 5日

出 願 番 号
Application Number:

特願2002-259601

ST.10/C]:

[JP2002-259601]

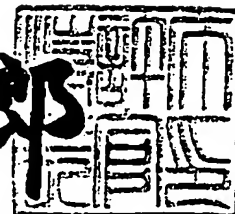
出 願 人
Applicant(s):

株式会社東芝

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030251

PATENT
81912.0014

Express Mail Label No. EV 325 217 117 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Satoshi YANAGISAWA

Serial No: Not assigned

Filed: August 18, 2003

For: Semiconductor Device with Semiconductor
Chip Mounted in Package

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF INFORMATION DISCLOSURE
STATEMENT**

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

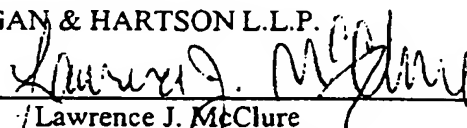
The information disclosure statement submitted herewith is being filed concurrently with the subject application [37 C.F.R. § 1.97(b)] and contains no items of information cited in any communication from a foreign patent office in a counterpart foreign application [37 C.F.R. § 1.97(e)(1)].

If it should be determined that for any reason either an insufficient or excessive fee has been paid, please charge any insufficiency or credit any overpayment necessary to ensure consideration of the information disclosure statement for the above-identified application to Deposit Account No. 50-1314. A copy of this paper is enclosed.

Respectfully submitted,

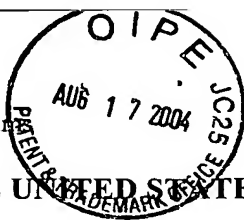
HOGAN & HARTSON L.L.P.

By:


Lawrence J. McClure
Registration No. 44,228
Attorney for Applicant(s)

Date: August 18, 2003

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Nobuyuki SATO

GAU:

SERIAL NO: 10/814,290

EXAMINER:

FILED: April 1, 2004

FOR: SEMICONDUCTOR MODULE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2004-027066	February 3, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2004年 2月 3日
Date of Application:

出願番号 特願2004-027066
Application Number:

[ST. 10/C]: [JP2004-027066]

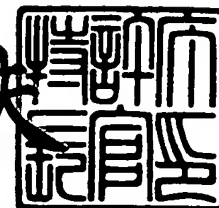
出願人 株式会社東芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 4月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 04P003
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 25/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地
 株式会社東芝 マイクロエレクトロニクスセンター内
 【氏名】 佐藤 信幸
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100092820
 【弁理士】
 【氏名又は名称】 伊丹 勝
 【電話番号】 03-5216-2501
【手数料の表示】
 【予納台帳番号】 026893
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9810498

【書類名】特許請求の範囲

【請求項 1】

実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数のパワーMISチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記複数のパワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、

前記複数のパワーMISチップの前記裏面上に配置された複数のヒートシンクと、

前記複数のパワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備える

ことを特徴とする半導体モジュール。

【請求項 2】

前記複数のヒートシンクのうち少なくとも一つが、前記駆動用ICチップと絶縁されて前記駆動用ICチップの上まで延びている、

ことを特徴とする請求項 1 に記載の半導体モジュール。

【請求項 3】

前記複数のヒートシンクは、それぞれ、前記複数のパワーMISチップのうち対応するパワーMISチップの前記裏面のソース電極又はドレイン電極と電気的に接続されていると共に前記実装基板の端子と電気的に接続されている、

ことを特徴とする請求項 1 又は 2 に記載の半導体モジュール。

【請求項 4】

実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装されたパワーMISチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記パワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、

前記パワーMISチップの前記裏面上に配置されると共に前記駆動用ICチップの上まで延びているヒートシンクと、

前記パワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備える

ことを特徴とする半導体モジュール。

【請求項 5】

実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装されたパワーMISチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記パワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、

前記パワーMISチップの前記裏面上に配置されると共に前記裏面及び前記実装基板の端子に電気的に接続されたヒートシンクと、

前記パワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備える

ことを特徴とする半導体モジュール。

【書類名】明細書

【発明の名称】半導体モジュール

【技術分野】

【0001】

本発明は、例えばマルチチップモジュールのような半導体モジュールに関する。

【背景技術】

【0002】

DC-DCコンバータは、ある電圧の直流電流を異なる電圧の直流電圧に変換する装置である。DC-DCコンバータは高効率で小型化が可能であるため、小型の電子機器（例えばノートパソコンや携帯電話のような情報通信機器）に組み込まれる電源として利用されている。

【0003】

パソコン等の情報通信機器は、CPUの微細化・高速化により電源（駆動電源）の低電圧・大電流化が進んでいる。CPU用の電源電圧は1995年において、5.0（V）や3.3（V）が主流であったが、クロック周波数が1GHzを超える高性能CPUの登場で近年では、1.5（V）にまで低電圧化し、電流も100（A）クラスが必要となっている。また、CPUの動作速度に対応するため電源回路の動作周波数も1MHz以上が要求されている。このため、電源回路を構成するトランジスタのスイッチングの高速化も重要となっている。

【0004】

電源の低電圧・大電流化によって、これまでの電源システムの形態も変化している。ひとつの電源で複数の回路に電力を供給する形態は、配線の僅かな寄生インピーダンスによっても電圧降下が発生するため、回路に必要な電圧が供給されず誤動作を起こす原因となる。そのため現在は電源の分散化が進み、それぞれの負荷に対応した電源を負荷の近くに置く形態に移行している。

【0005】

例えば、ノートパソコンで説明すると、ノートパソコンはCPU、液晶画面及びハードディスク等の負荷を備えている。それぞれの負荷に対応した電源（つまり、DC-DCコンバータ）が負荷の近くに配置されている。

【0006】

従来、大電力用のDC-DCコンバータのうち、同期整流方式の非絶縁型降圧式のコンバータは、Nチャネル型のパワーMOSFET（Metal Oxide Semiconductor Field Effect Transistor）、SBD（Schottky Barrier Diode：ショットキーバリアダイオード）及びPWM（Pulse Width Modulation）制御IC等により構成されている。これらの部品は個別にパッケージされており、パッケージされたこれらの部品がプリント基板に取り付けられている。

【0007】

通常、電源回路で使用されるパワーMOSFETのようなパワーデバイスは、オン抵抗やスイッチングによる電力損失が原因で発熱する。このため、パワーMOSFETのチップにヒートシンクを取り付けて熱をチップの外部に放出させる必要がある。なお、半導体チップにヒートシンクを取り付けた構造を有する高周波マルチチップモジュールが、特許文献1に開示されている。

【特許文献1】特開平11-45976（図1）

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、実装スペースの小面積化、配線インピーダンスの低減及び放熱性の向上を図ることが可能な半導体モジュールを提供することである。

【課題を解決するための手段】

【0009】

本発明に係る半導体モジュールの一態様は、実装基板と、表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数のパワーMISチップと、前記実装基板にフリップチップボンディングで実装されると共に前記複数のパワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、前記複数のパワーMISチップの前記裏面上に配置された複数のヒートシンクと、前記複数のパワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備えることを特徴とする。

【0010】

本発明に係る半導体モジュールの他の態様は、実装基板と、表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装されたパワーMISチップと、前記実装基板にフリップチップボンディングで実装されると共に前記パワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、前記パワーMISチップの前記裏面上に配置されると共に前記駆動用ICチップの上まで延びているヒートシンクと、前記パワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備えることを特徴とする。

【0011】

本発明に係る半導体モジュールのさらに他の態様は、実装基板と、表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装されたパワーMISチップと、前記実装基板にフリップチップボンディングで実装されると共に前記パワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、前記パワーMISチップの前記裏面上に配置されると共に前記裏面及び前記実装基板の端子に電気的に接続されたヒートシンクと、前記パワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備えることを特徴とする。

【発明の効果】

【0012】

本発明によれば、実装スペースの小面積化、配線インピーダンスの低減及び放熱性の向上を図ることが可能な半導体モジュールを実現することができる。

【発明を実施するための最良の形態】

【0013】

以下、図面を用いて本発明の実施形態について説明する。各実施形態を説明する図において、既に説明した図の符号で示すものと同一のものについては、同一符号を付すことにより説明を省略する。本実施形態に係る半導体モジュールは、パワーMOSチップ及び駆動用ICチップを一つのパッケージに封止したマルチチップモジュールである。このモジュールはDC-DCコンバータの一部として機能する。

【0014】

なお、パワーMOSチップは、ゲート絶縁膜がシリコン酸化膜を含むFETで構成されるが、本発明はこれに限定されず、ゲート絶縁膜がシリコン酸化膜以外の絶縁膜（例えば高誘電体膜）からなるFETで構成されるパワーMIS (Metal Insulator Semiconductor) チップにも適用される。また、本実施形態に係る半導体モジュールはDC-DCコンバータ用である。しかしながら、本発明はこれに限定されず、他の電子機器（例えばオーディオ等のデジタル機器）に使用することもできる。

【0015】

〔第1実施形態〕

第1実施形態に係る半導体モジュールの構造について図1～図3を用いて説明する。図1は、第1実施形態に係る半導体モジュール1の平面図である。図2は、図1のII(a)－II(b)線に沿った断面図であり、図3は、図1のIII(a)－III(b)線に沿った断面図である。

【0016】

半導体モジュール1は、実装基板（例えばプリント基板）3と、この上に実装された二つのパワーMOSチップ5、7及び駆動用ICチップ9と、を備える。駆動用ICチップ9は、パワーMOSチップ5、7に形成されたMOSFETのゲートを駆動するためのチップである。

【0017】

図4は、パワーMOSチップ5、7の一部の断面図である。チップ5、7は、多数の縦型のMOSFETが並列接続された構造を有する。詳しく説明すると、チップ5、7は、n型のエピタキシャル層11を有するn⁺型のシリコン基板13を備える。エピタキシャル層11の上層はp型のボディ領域15である。多数のトレンチゲート17がボディ領域15を貫通するように、エピタキシャル層11に形成されている。トレンチゲート17の周囲にはゲート酸化膜19が形成されている。ボディ領域15の表面にn⁺型のソース領域21が形成されている。トレンチゲート17やソース領域21を覆うようにパッシベーション膜23が形成されている。シリコン基板13がn⁺型のドレイン領域となる。

【0018】

図1～図3に示すように、実装基板3は、四角形状の樹脂板25を有する。樹脂板25の縁には、多数の端子27が設けられており、これらの端子27は樹脂板25の一方の面から側面を通り他方の面に延びている。樹脂板25の両面には、端子27と接続された配線29が形成されている。端子27及び配線29は、銅箔等の導体から構成される。

【0019】

樹脂板25の両面には、配線29を覆うように絶縁膜（例えばソルダーレジスト）31が形成されている。絶縁膜31は、端子27を覆っておらず、また配線29のうちチップ5、7、9と接続される箇所の上に開口を有する。これらの開口に半田などの導電性ペースト材33がスクリーン印刷により形成されている。

【0020】

樹脂板25には多数のスルーホールが形成されている。スルーホールの側面にはシリコン酸化膜等の絶縁膜35が形成されている。スルーホール内には銅等の埋込導電膜37が埋め込まれている。埋込導電膜37により樹脂板25の両面の配線29が電氣的に接続されている。

【0021】

パワーMOSチップ5、7及び駆動用ICチップ9が実装基板3にフリップチップボンディングで実装されている。詳しくは、パワーMOSチップ5、7の表面には、ゲート電極39及びソース電極41が形成され、裏面にドレイン電極43が形成されている。ゲート電極39は、図4に示す多数のトレンチゲート17とパワーMOSチップ5、7の表面45側で共通接続されている。ソース電極41は、図4に示す多数のソース領域21とパワーMOSチップ5、7の表面45側で共通接続されている。ドレイン電極43は、図4に示すシリコン基板（ドレイン領域）13とパワーMOSチップ5、7の裏面47側で接続されている。

【0022】

パワーMOSチップ5、7のゲート電極39及びソース電極41並びに駆動用ICチップ9の電極49は、導電性ペースト材33により実装基板3に半田付けされている。チップ5、7、9と実装基板3との隙間は、アンダーフィル材51で埋められている。

【0023】

パワーMOSチップ5の裏面47（図4）上には、パワーMOSチップ5を覆うようにヒートシンク53が配置され、同様に、パワーMOSチップ7の裏面47（図4）上には、パワーMOSチップ7を覆うようにヒートシンク55が配置されている。ヒートシンク53、55は、それぞれ、パワーMOSチップ5、7の裏面のドレイン電極43に導電性ペースト材57により半田付けされている。したがって、ヒートシンクは、それぞれ、パワーMOSチップのうち対応するパワーMOSチップの裏面のドレイン電極（なお、チップの裏面側にソース電極がある場合はソース電極）と電氣的に接続される。

【0024】

ヒートシンク 53, 55 の材料は、銅やアルミニウムのような金属である。ヒートシンク 53, 55 は金属フレーム状を有しており、側部が折曲部 59 となっている。折曲部 59 が導電性ペースト材 57 により実装基板 3 に半田付けされている。したがって、ヒートシンク 53, 55 は、実装基板 3 の端子 27 と電氣的に接続されている。

【0025】

パワー MOS チップ 5, 7 及び駆動用 IC チップ 9 を一つのパッケージとして封止する樹脂部材 61 が実装基板 3 の上に固定されている。ヒートシンク 53, 55 は、それぞれ、対応するパワー MOS チップ 5, 7 の裏面と面する一方の面 63 及びこれの反対側にある他方の面 65 を有している。他方の面 65 が半導体モジュール 1 の外部に露出している。

【0026】

次に、半導体モジュール 1 を含む DC-DC コンバータの回路構成及び動作について説明する。図 5 は、この DC-DC コンバータ 67 の回路図である。DC-DC コンバータ 67 は、同期整流方式の非絶縁型降圧式である。この回路が最も電力損失を低減し変換効率を高めることができる。

【0027】

パワー MOS チップ (制御側素子) 5 及びパワー MOS チップ (同期整流側素子) 7 は、ともにオン抵抗が低く、かつ低ゲート容量の N チャンネル型 MOSFET が使用されている。パワー MOS チップ (同期整流側素子) 7 は、VF の低い SBD (ショットキーバリアダイオード) 69 が並列に接続されている。パワー MOS チップ 5, 7 のゲート端子には、ゲートを駆動するための駆動用 IC チップ 9 が接続されている。

【0028】

チップ 5, 7 のゲートは通常時、PWM 制御によって駆動されている。PWM 制御とは、スイッチング式電源の直流出力電圧を安定化させるための制御方式である。つまり、スイッチング・トランジスタ (パワー MOS チップ 5) の ON 時間と OFF 時間の割合を変えて、出力電圧を制御する。出力電圧が低下すると ON 時間を長くし、上昇すると短くすることによって、常に一定の電圧を保つことができる。

【0029】

DC-DC コンバータ 67 の出力側には、インダクタ 71 およびコンデンサ 73 が接続されている。DC-DC コンバータ 67 の出力には、例えば CPU 75 のような負荷が接続される。

【0030】

次に、DC-DC コンバータ 67 の基本的な動作について、図 5 及び図 6 を用いて説明する。図 6 は、パワー MOS チップ 5, 7 に入力される信号のタイミングチャートである。入力電圧 V_{in} が例えば 24 V の場合、このコンバータ 67 により、例えば 1.5 V に変換されて CPU 75 に供給される。

【0031】

まず、時刻 t_1 において、パワー MOS チップ 7 の MOSFET (M2) がオフの状態 でパワー MOS チップ 5 の MOSFET (M1) をオンさせる。これにより、入力電圧 V_{in} によって矢印 (1) に示す電流が流れ、インダクタ 71 を介して CPU 75 に電力が供給される。つぎに、時刻 t_2 で MOSFET (M1) をオフさせる。これにより、入力電圧 V_{in} による CPU 75 への電力の供給は停止される。その替わり、インダクタ 71 に蓄えられた電力によって、矢印 (2) に示す電流が SBD 69 を介して転流することにより、CPU 75 に電力が供給される。

【0032】

MOSFET (M1) と MOSFET (M2) の貫通防止のために設定された所定のデッドタイム D_T が経過したのち、時刻 t_3 において、MOSFET (M2) をオンさせる。MOSFET (M2) は SBD 69 よりも抵抗が小さいため、インダクタ 71 に蓄えられた電力により生じる電流は、SBD 69 でなく、矢印 (3) に示すように MOSFET (M2) を介して転流する。これにより、CPU 75 に電力が供給される。コンデンサ 7

3は出力電圧波形を平滑化するため使用される。パワーMOSチップ7、つまりMOSFET (M2) がなくても、DC-DCコンバータとして機能する。したがって、パワーMOSチップが複数でなく一つの場合も本発明に含まれる。

【0033】

ここで、MOSFET (M2) を設けた理由を説明する。時刻 t_2 により、SBD69を介して矢印(2)の電流が流れる。SBD69に電流が流れると、それにより電圧降下が生じ、その分だけCPU75に供給される電力にロスが生じる。MOSFETはSBDよりも電圧降下を小さくできる。そこで、デッドタイムDT中は、SBD69を経由させて電流を流し、デッドタイムDT経過後は、MOSFET (M2) を経由させて電流を流すことにより、CPU75に効率良く電力を供給している。

【0034】

次に、第1実施形態の主な効果を説明する。第1実施形態によれば、半導体モジュール1を含む半導体装置(例えばDC-DCコンバータ67)の実装スペースの小面積化、配線インピーダンスの低減及び放熱性の向上を図ることができる。以下、詳細に説明する。

【0035】

従来のDC-DCコンバータは、パワーMOSチップ、駆動用ICチップ、SBD(ショットキーバリアダイオード)等の部品が個別にパッケージされており、パッケージされたこれらの部品がプリント基板に取り付けられている。近年、パソコン等の低電圧化及び大電流化が急激に進んでおり、このような構造のDC-DCコンバータでは、実装スペースの増大、配線インピーダンスの増加、熱の放散が難しくなるといった問題が生じる。

【0036】

まず、実装スペースの増大について説明する。現在のDC-DCコンバータで必要な電流容量は、MOSFET単体(一個のパワーMOSチップ)の定格電流を超えることがある。このような場合、複数個のパワーMOSチップを並列接続することにより、上記必要な電流容量を賄っている。したがって、大電流化に対応するためにはパワーMOSチップの数を増やさなければならない。この結果、実装スペースが増えるので、DC-DCコンバータを小型化できない問題が生じる。

【0037】

つぎに、配線インピーダンスの増加について説明する。実装スペースが増えることにより実装基板が大面積化すると、必然的に配線長が増えるため抵抗やインダクタンスの増加につながる。抵抗の増加は電圧降下の原因となり、負荷に供給する電圧が不足し誤動作を起こす原因となる。また、インダクタンスの増加は高速化や高周波化を妨げ、さらにリングングも増加するためこれも誤動作の原因となる。

【0038】

最後に熱の放散が難しくなる問題について説明する。CPUのような負荷は、発熱量が多いため負荷自身に大きなヒートシンクを取り付ける必要がある。したがって、上記負荷の近くでは、パワーMOSチップのヒートシンクを取り付けスペースを確保することが難しい。パワーMOSチップにヒートシンクを取り付けない場合、パワーMOSチップの過大な電力損失を避けるためには、パワーMOSチップの個数を増やしてMOSFETの抵抗を下げなければならない。しかし、パワーMOSチップの個数が増えるため、実装スペースの増大や配線インピーダンスの増加という問題が生じる。

【0039】

第1実施形態に係る半導体モジュール1によれば、パワーMOSチップ5、7及び駆動用ICチップ9が一つのパッケージに収容されている、つまり、これらのチップが同一外囲器に搭載されている。このため、DC-DCコンバータ67の実装スペースの小面積化(小型化)を図ることができる。

【0040】

また、小型化により実装密度が向上するため、素子間の配線を短くできる。これにより、DC-DCコンバータ67の配線インピーダンスを低減できる。よって、DC-DCコンバータ67の高速化および高周波化が可能となる。

【0041】

さらに、ヒートシンク53, 55により、パワーMOSチップ5, 7から発生した熱を効率的に放散できる。特に、ヒートシンク53, 55の他方の面65が半導体モジュール1の外部に露出しているため、放熱性をさらに向上させることができる。また、第1実施形態によれば、パワーMOSチップ5, 7をフリップチップボンディングにより実装し、パワーMOSチップ5, 7の裏面の上にそれぞれヒートシンク53, 55が配置されている。これにより、実装面積を増やすことなくヒートシンク53, 55を配置できると共にパワーMOSチップ5, 7がCPUの近くに配置されていても、CPUにヒートシンクを取り付ける際の障害とならない。さらに、ヒートシンク53, 55が導電性ペースト材57によりパワーMOSチップ5, 7に取り付けられている。導電性ペースト材57は熱伝導性が優れているので、チップ5, 7で発生した熱は速やかに導電性ペースト材57を介してヒートシンク53, 55に伝わる。この点からも熱を効率的に放散することができる。

【0042】

なお、駆動用ICチップ9にはヒートシンクが取り付けられていない。つまり、駆動用ICチップ9は、パワーMOSチップ5, 7のようにヒートシンクで覆われていない。しかしながら、駆動用ICチップ9から発生する熱を効率的に放散するために、駆動用ICチップ9の裏面上にヒートシンクを配置してもよい。

【0043】

また、第1実施形態によれば、次の効果も生じる。ヒートシンク53, 55はパワーMOSチップ5, 7のドレイン電極43と実装基板3の端子27とを接続する配線としての機能も有する。ヒートシンク53, 55は面積が大きいため、寄生抵抗や寄生インダクタが小さい配線となる。

【0044】

次に、半導体モジュール1の組み立て方法について、図7を用いて説明する。図7は、図3に示す構造を分解した図である。導電性ペースト材33がスクリーン印刷された実装基板3を用意する。パワーMOSチップ5, 7を、それぞれ、表面45(図4)が実装基板3と面するようにマウントし、ゲート電極39及びソース電極41を導電性ペースト材33と接触させる。図示しないが、駆動用ICチップ9も実装基板3と面するようにマウントし、チップ9の電極49(図2)を導電性ペースト材33と接触させる。そして、導電性ペースト材33をリフローすることで、パワーMOSチップ5, 7のゲート電極39及びソース電極41や駆動用ICチップ9の電極49を実装基板3の配線29に半田付けする。

【0045】

次に、チップ5, 7, 9と実装基板3との隙間に、アンダーフィル材51をディスペンサーによって供給する。その後、熱処理によりアンダーフィル材51を硬化させる。なお、上記隙間をこの後の樹脂封止にて使用する樹脂で充填でき、この方法でも特性上および信頼性上問題なければ、アンダーフィル材を使用しなくとも良い。

【0046】

次に、パワーMOSチップ5, 7のドレイン電極43上及びドレイン電極43と接続される実装基板3の所定の位置に、導電性ペースト材57をディスペンサーによって供給する。そして、チップ5, 7, 9を覆うように、予め作製しておいたキャップ77を実装基板3上にマウントする。キャップ77は、ヒートシンク53, 55と樹脂部材61で構成されている。

【0047】

その後、リフローして樹脂部材61によりチップ5, 7, 9を封止する。また、このリフローにより、ヒートシンク53, 55がそれぞれパワーMOSチップ5, 7の裏面に固定かつ電気的に接続されると共にヒートシンク53, 55の折曲部59が実装基板3の配線29に固定かつ電気的に接続される。

【0048】

なお、導電性ペースト材 57 をディスペンサーにより供給した後の工程は、以下のような工程でもよい。導電性ペースト材 57 上にヒートシンク 53, 55 をマウントする。その後、リフローすることで、ヒートシンク 53, 55 をそれぞれパワー MOS チップ 5, 7 の裏面に固定かつ電氣的に接続すると共にヒートシンク 53, 55 の折曲部 59 を実装基板 3 の配線 29 に固定かつ電氣的に接続する。最後に、ヒートシンク 53, 55 の最表面が外部に露出するよう樹脂部材 61 にて封止する。なお、半導体モジュール 1 の取り出し端子が BGA (Ball Grid Array) のように、実装基板 3 の裏面から取り出すようにする場合は、実装基板 3 の表面を全面樹脂封止しても良い。

【0049】

〔第 2 実施形態〕

図 8 は、第 2 実施形態に係る半導体モジュール 81 の平面図である。図 9 は、図 8 の IX (a) - IX (b) 線に沿った断面図である。図 8 及び図 9 を用いて、第 2 実施形態を第 1 実施形態と相違する点を中心に説明する。

【0050】

第 2 実施形態では、パワー MOS チップ 5 を覆うヒートシンク 53 が、駆動用 IC チップ 9 を覆うように駆動用 IC チップ 9 の上まで延びている。パワー MOS チップ 5 と駆動用 IC チップ 9 とでヒートシンク 53 を共用している。したがって、ヒートシンク 53 とは別に駆動用 IC チップ 9 を覆うヒートシンクを配置した場合に比べて、ヒートシンクを大面積にでき、その分だけ放熱性を向上させることができる。

【0051】

但し、駆動用 IC チップ 9 の裏面 83 はグランド電位であり、パワー MOS チップ 5 のドレイン領域の電位と異なる。したがって、ヒートシンク 53 と駆動用 IC チップ 9 との間は樹脂部材 61 で絶縁されている。つまり、ヒートシンク 53 は、駆動用 IC チップ 9 と絶縁されて駆動用 IC チップ 9 の上まで延びている。

【0052】

逆の構造、つまり、ヒートシンク 53 が駆動用 IC チップ 9 の裏面 83 と導電性ペースト材により接続され、ヒートシンク 53 とパワー MOS チップ 5 との間が樹脂部材 61 で絶縁された構造も可能である。熱は、樹脂よりも導電性ペースト材を介した方がヒートシンク 53 に伝導しやすい。パワー MOS チップ 5 は駆動用 IC チップ 9 よりも発熱量が多い。このため、第 2 実施形態では、パワー MOS チップ 5 がヒートシンク 53 と導電性ペースト材 57 より接続されている。

【0053】

上記接続により、ヒートシンク 53 の電位がパワー MOS チップ 5 のドレイン電位と同じになる。よって、駆動用 IC チップ 9 は、電位が固定されたヒートシンク 53 によりシールドされることになる。駆動用 IC チップ 9 の裏面 83 はグランド電位である。DC-DC コンバータが高周波化すると、高周波によりグランド電位が変動し、駆動用 IC チップ 9 が誤動作する可能性がある。第 2 実施形態では、駆動用 IC チップ 9 が電位の固定されたヒートシンク 53 でシールドされるので、高周波によるグランド電位の変動を防止することが可能となる。

【0054】

ヒートシンク 53 と駆動用 IC チップ 9 との間の絶縁を確保するために、この間の樹脂部材 61 の厚みを所定値 (例えば $10 \mu\text{m}$) 以上にしなければならない (なお、パワー MOS チップ 5 の上の導電性ペースト材 57 の厚みは、上記所定値よりかなり小さい。)。よって、駆動用 IC チップ 9 の厚みがパワー MOS チップ 5 の厚みと同じであると、ヒートシンク 53 が駆動用 IC チップ 9 上で盛り上がった構造となる。そこで、第 2 実施形態では、駆動用 IC チップ 9 を薄く研磨することにより、駆動用 IC チップ 9 の厚み (例えば $140 \mu\text{m}$) をパワー MOS チップ 5 の厚み (例えば $150 \mu\text{m}$) より小さくしている。これにより、ヒートシンク 53 を平坦 (略平坦) にし、平坦な半導体モジュール 81 を実現している。

【0055】

[第3実施形態]

第3実施形態では、SBD69が内蔵されたパワーMOSチップ（同期整流側素子）7を備えたことがこれまでの実施形態と異なる。図10は、第3実施形態に備えられるパワーMOSチップ（同期整流側素子）7の一部の断面図であり、図4と対応する。MOSFETの形成領域の終端85から所定の距離を離して、SBD69が形成されている。この所定の距離とは、MOSFETとSBDとが互いに干渉しない距離である。

【0056】

SBD69は、エピタキシャル層11と、この上に形成されたアルミニウム等からなる金属膜87と、で構成される。エピタキシャル層11と金属膜87とが接触することにより、この接触部分にショットキーバリアが形成される。SBD69は、パワーMOSチップ7のMOSFETと並列接続されている。なお、SBD69の替りにpn接合を有するダイオードを用いることも可能である。

【0057】

第3実施形態のように、SBD69を内蔵したパワーMOSチップ7を半導体モジュールに使用すれば、SBD69のチップを使用した場合に比べて部品点数を削減出来る。このため、半導体モジュールの組立時間を短縮できると共に半導体モジュールの小型化も可能となる。また、パワーMOSチップ7とSBD69のチップとを接続する配線が不要となる。よって、この配線のインピーダンスを無くすることができるため、高速性能の良い半導体モジュールが得られる。

【0058】

[第4実施形態]

図11は、第4実施形態に係る半導体装置91の平面図である。半導体装置91は、プリント基板93と、この上に実装された半導体モジュール95及びPWM制御用ICチップ97と、を備える。半導体モジュール95が図1に示す半導体モジュール1と異なる点は、次ぎの通りである。半導体モジュール1の駆動用ICチップ9にはPWM制御回路が内蔵されているが、半導体モジュール95の駆動用ICチップ9にはPWM制御回路が内蔵されていない。このため、第4実施形態では、PWM制御用ICチップ97を駆動用ICチップ9と別個に設けている。

【0059】

駆動用ICチップ9によるパワーMOSチップ5、7のMOSFETのゲートの駆動は、PWM制御される。高速化を図る上で重要となるのは、パワーMOSチップ5、7のMOSFETのゲート端子と直結しゲートの電荷の充放電を制御する駆動回路である。そのため、パワーMOSチップ5、7のMOSFETのゲート端子と駆動用ICチップ9の駆動回路とは可能な限り低インピーダンスで接続する必要がある。よって、パワーMOSチップ5、7と駆動用ICチップ9を半導体モジュール95に組み入れている。一方、PWM制御回路自体は、配線インピーダンスの影響はあまり受けない。また、PWM制御回路は駆動回路に比べて面積が大きい。第4実施形態では、PWM制御用ICチップ97を別個設けているため、駆動用ICチップ9を小型化でき、したがって、駆動用ICチップ9の配置の自由度を向上させることができる。

【0060】

[第5実施形態]

図12は、第5実施形態に係る半導体装置101の一部の断面図である。半導体装置101は、プリント基板103に半導体モジュール105及びCPU107が実装された構造を有する。CPU107には、半導体モジュール101を含むDC-DCコンバータにより電力が供給される。

【0061】

半導体モジュール105が図2の半導体モジュール1と相違する点は、半導体モジュール1のヒートシンク53、55（ヒートシンク55は図12に表れていない。）の全体が樹脂部材61で覆われていることである。つまり、ヒートシンクは外部に露出している部分を有さない。

【0062】

CPU107の上にはヒートシンク109が配置されており、ヒートシンク109は半導体モジュール105を覆う位置まで延びている。これによりヒートシンク109の大面积化を図っている。半導体モジュール105のヒートシンクの全体が樹脂部材61で覆われている。よって、半導体モジュール105がヒートシンク109を介して外部とショートするのを防止することができる。

【0063】

以上説明した発明を実施するための最良の形態の構成について要約すると、次のようになる。

(1) 実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数のパワーMISチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記複数のパワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、

前記複数のパワーMISチップの前記裏面上に配置された複数のヒートシンクと、

前記複数のパワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備える

ことを特徴とする半導体モジュール。

(2) 前記複数のヒートシンクのうち少なくとも一つが、前記駆動用ICチップと絶縁されて前記駆動用ICチップの上まで延びている、

ことを特徴とする(1)に記載の半導体モジュール。

(3) 前記駆動用ICチップは、前記駆動用ICチップの上まで延びている前記ヒートシンクが前記裏面上に配置されている前記パワーMISチップよりも厚みが薄い、

ことを特徴とする(2)に記載の半導体モジュール。

(4) 前記駆動用ICチップの上まで延びている前記ヒートシンクは平坦である、

ことを特徴とする(3)に記載の半導体モジュール。

(5) 前記複数のヒートシンクは、それぞれ、前記複数のパワーMISチップのうち対応するパワーMISチップの前記裏面のソース電極又はドレイン電極と電気的に接続されていると共に前記実装基板の端子と電気的に接続されている、

ことを特徴とする(1)に記載の半導体モジュール。

(6) 前記複数のヒートシンクは、それぞれ、前記複数のパワーMISチップのうち対応するパワーMISチップの前記裏面と面する一方の面及びこれの反対側にある他方の面を有しており、

前記他方の面が前記半導体モジュールの外部に露出している、

ことを特徴とする(1)に記載の半導体モジュール。

(7) 前記複数のパワーMISチップの前記表面にはゲート電極及びソース電極が形成されており、前記裏面にはドレイン電極が形成されている、

ことを特徴とする(1)に記載の半導体モジュール。

(8) 前記駆動用ICチップはヒートシンクで覆われていない、

ことを特徴とする(1)に記載の半導体モジュール。

(9) 前記複数のパワーMISチップのうち少なくとも一つのチップに前記MISFETと並列接続されたダイオードが内蔵されている、

ことを特徴とする(1)に記載の半導体モジュール。

(10) 前記複数のヒートシンクの全体が前記樹脂部材で覆われている、

ことを特徴とする(1)に記載の半導体モジュール。

(11) 実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装されたパワーMISチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記パワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、

前記パワーMISチップの前記裏面上に配置されると共に前記駆動用ICチップの上まで延びているヒートシンクと、

前記パワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備える

ことを特徴とする半導体モジュール。

(12) 実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装されたパワーMISチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記パワーMISチップに形成されたMISFETのゲートを駆動するための駆動用ICチップと、

前記パワーMISチップの前記裏面上に配置されると共に前記裏面及び前記実装基板の端子に電氣的に接続されたヒートシンクと、

前記パワーMISチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、を備える

ことを特徴とする半導体モジュール。

(13) (1)に記載の前記半導体モジュールを含む、

ことを特徴とするDC-DCコンバータ。

(14) (1)に記載の前記半導体モジュールと、

前記駆動用ICチップによる前記ゲートの駆動を、PWM(Pulse Width Modulation)制御するPWM制御用ICチップと、を備える

ことを特徴とする半導体装置。

(15) (1)に記載の前記半導体モジュールを含むDC-DCコンバータと、

前記DC-DCコンバータにより電力が供給されるCPUと、

前記CPUの上に配置されると共に前記半導体モジュールを覆う位置まで延びる他のヒートシンクと、を備える

ことを特徴とする半導体装置。

【図面の簡単な説明】

【0064】

【図1】第1実施形態に係る半導体モジュールの平面図である。

【図2】図1のII(a)－II(b)線に沿った断面図である。

【図3】図1のIII(a)－III(b)線に沿った断面図である。

【図4】第1実施形態に備えられるパワーMOSチップの一部の断面図である。

【図5】第1実施形態に係るDC-DCコンバータの回路図である。

【図6】図5のパワーMOSチップ5, 7に入力される信号のタイミングチャートである。

【図7】図3に示す構造を分解した図である。

【図8】第2実施形態に係る半導体モジュールの平面図である。

【図9】図8のIX(a)－IX(b)線に沿った断面図である。

【図10】第3実施形態に備えられるパワーMOSチップ(同期整流側素子)の一部の断面図である。

【図11】第4実施形態に係る半導体装置の平面図である。

【図12】第5実施形態に係る半導体装置の一部の断面図である。

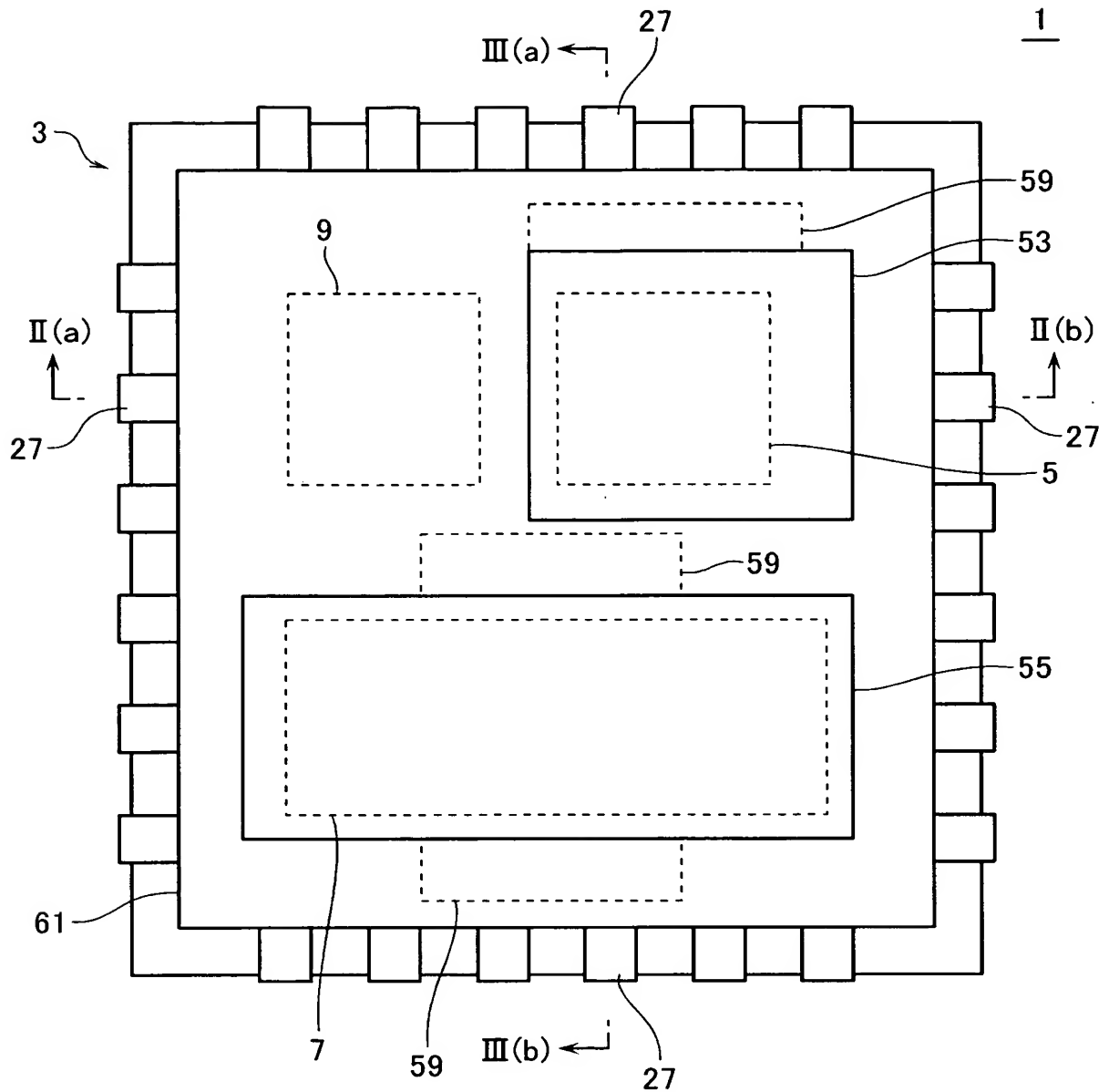
【符号の説明】

【0065】

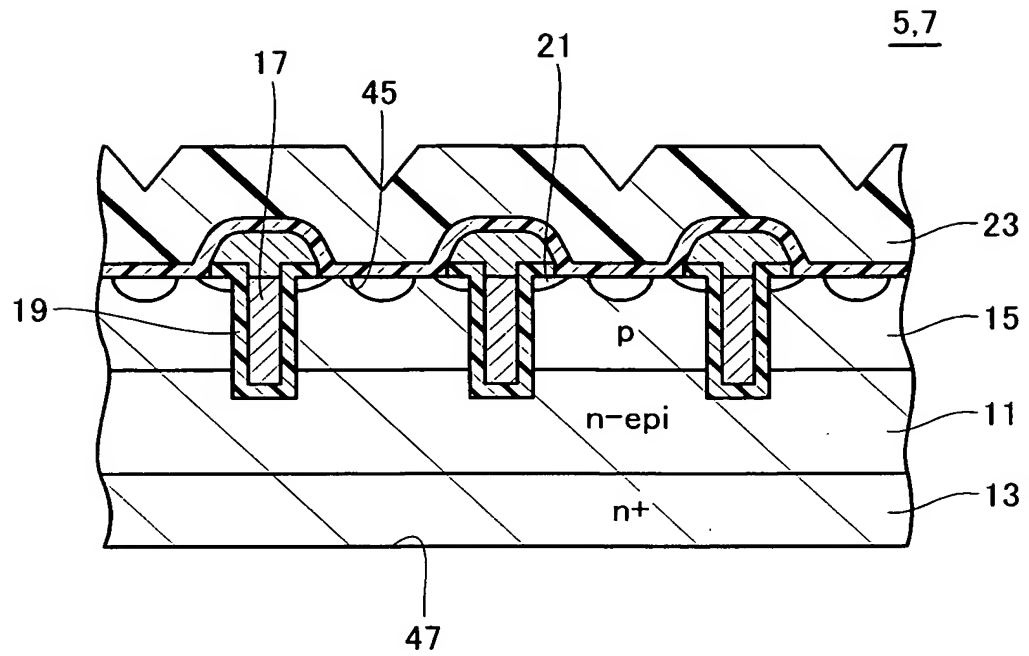
1・・・半導体モジュール、3・・・実装基板、5, 7・・・パワーMOSチップ、9・・・駆動用ICチップ、11・・・エピタキシャル層、13・・・シリコン基板、15・・・ボディ領域、17・・・トレンチゲート、19・・・ゲート酸化膜、21・・・ソース領域、23・・・パッシベーション膜、25・・・樹脂板、27・・・端子、29・・・配線、31・・・絶縁膜、33・・・導電性ペースト材、35・・・絶縁膜、37・・・埋込導電膜、39・・・ゲート電極、41・・・ソース電極、43・・・ドレイン電極

、45・・・パワーMOSチップの表面、47・・・パワーMOSチップの裏面、49・・・電極、51・・・アンダーフィル材、53、55・・・ヒートシンク、57・・・導電性ペースト材、59・・・折曲部、61・・・樹脂部材、63・・・ヒートシンクの一方の面、65・・・ヒートシンクの他方の面、67・・・DC-DCコンバータ、69・・・SBD（ショットキーバリアダイオード）、71・・・インダクタ、73・・・コンデンサ、75・・・CPU、77・・・キャップ、81・・・半導体モジュール、83・・・駆動用ICチップの裏面、85・・・MOSFETの形成領域の終端、87・・・金属膜、91・・・半導体装置、93・・・プリント基板、95・・・半導体モジュール、97・・・PWM制御用ICチップ、101・・・半導体装置、103・・・プリント基板、105・・・半導体モジュール、107・・・CPU、109・・・ヒートシンク

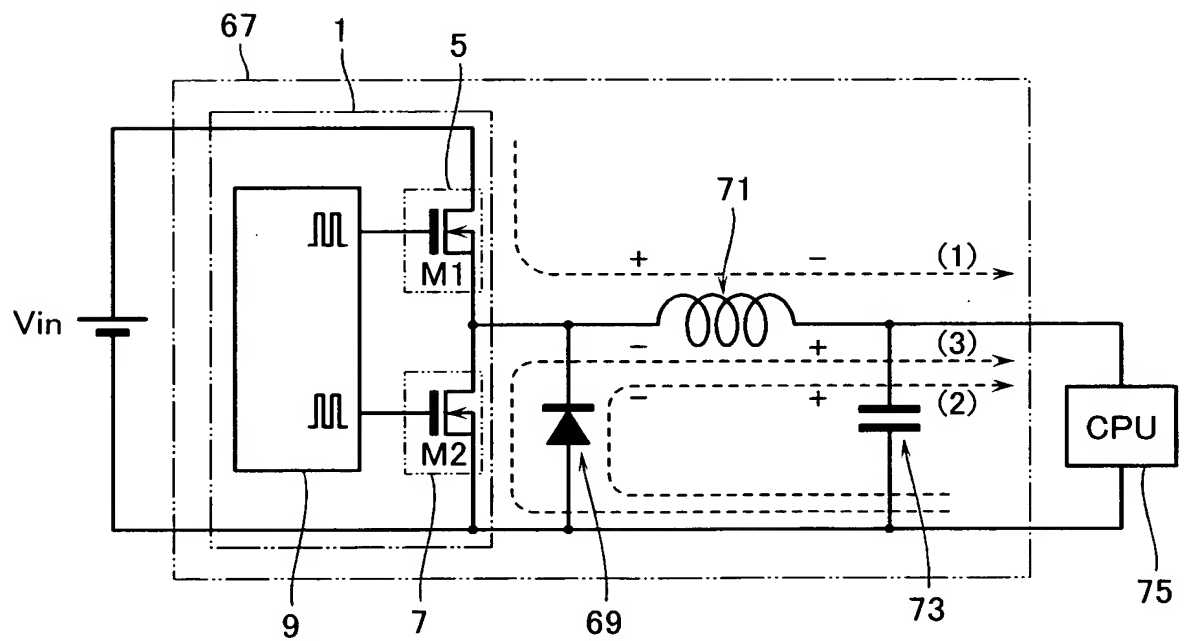
【書類名】 図面
【図 1】



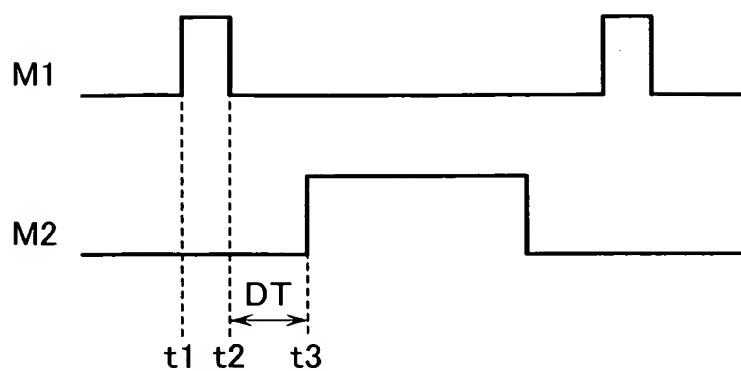
【図 4】



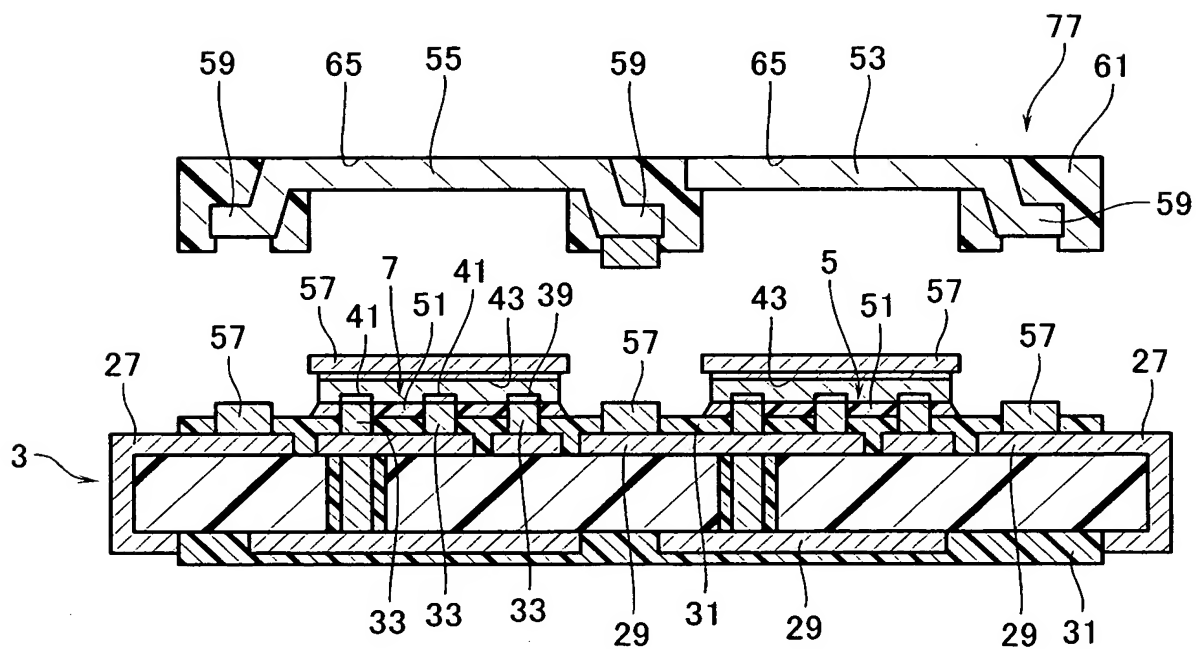
【図 5】



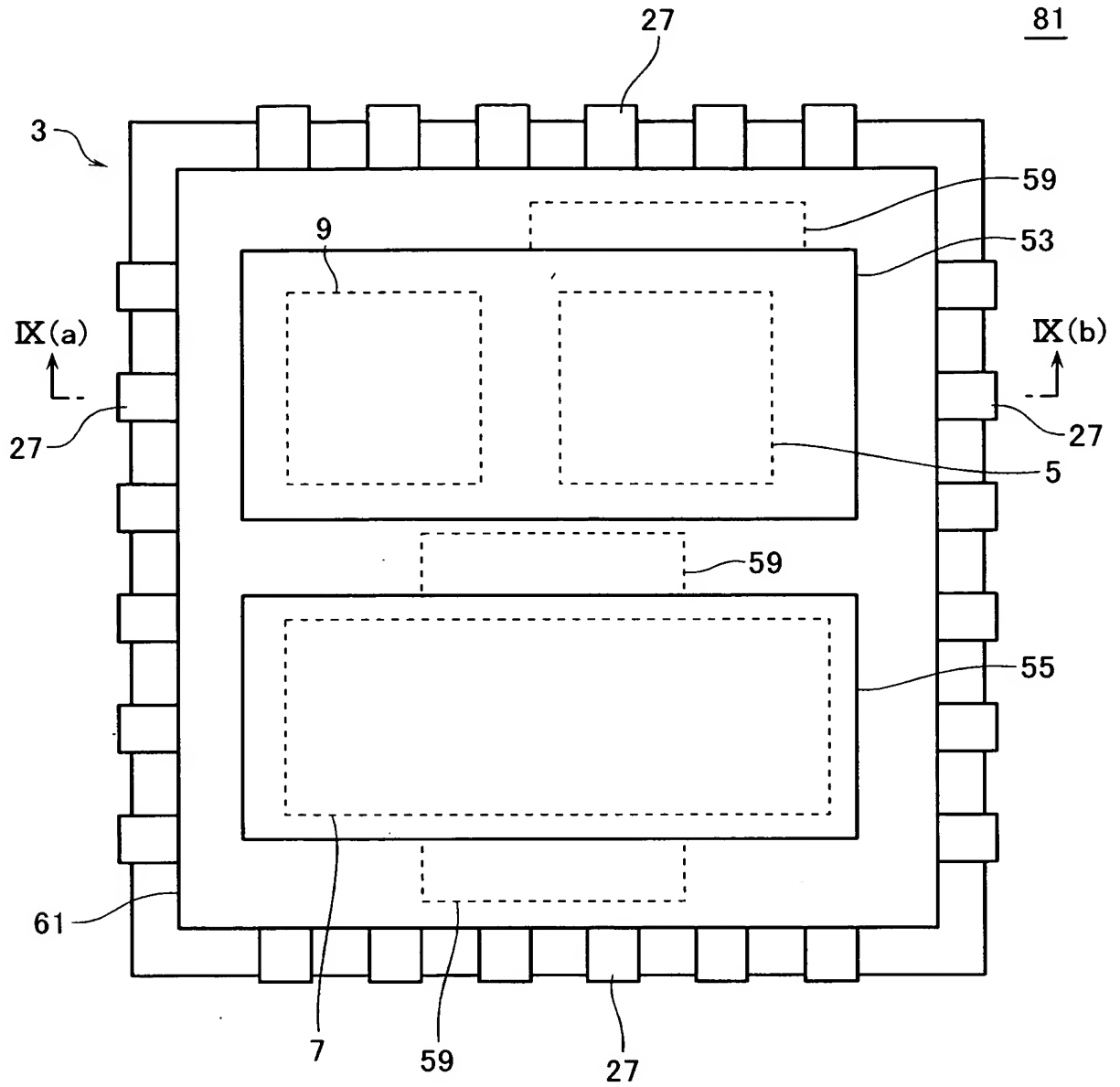
【図 6】



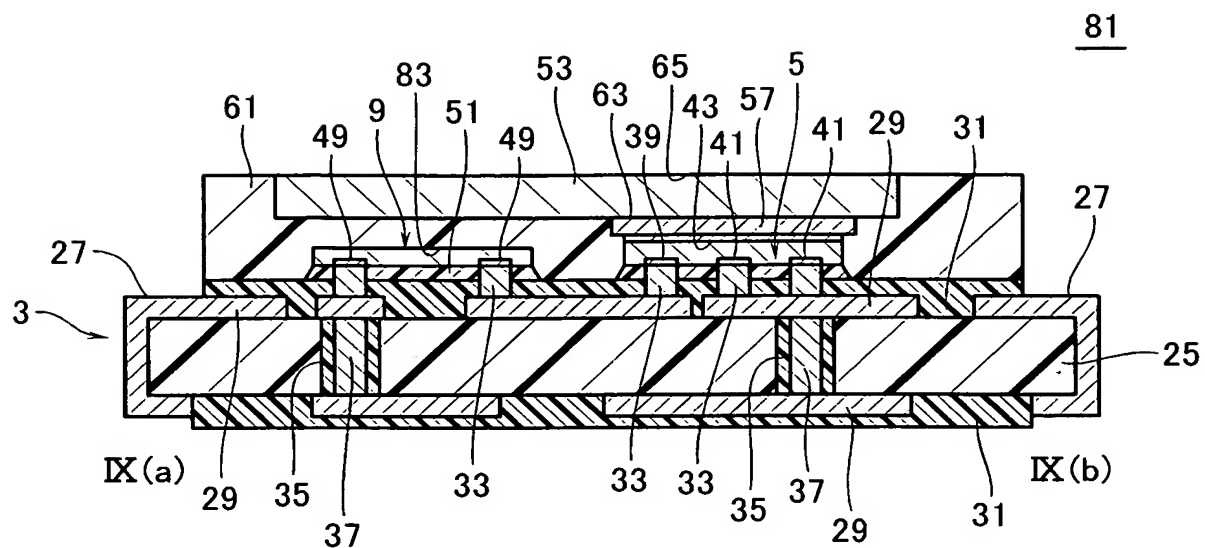
【図 7】



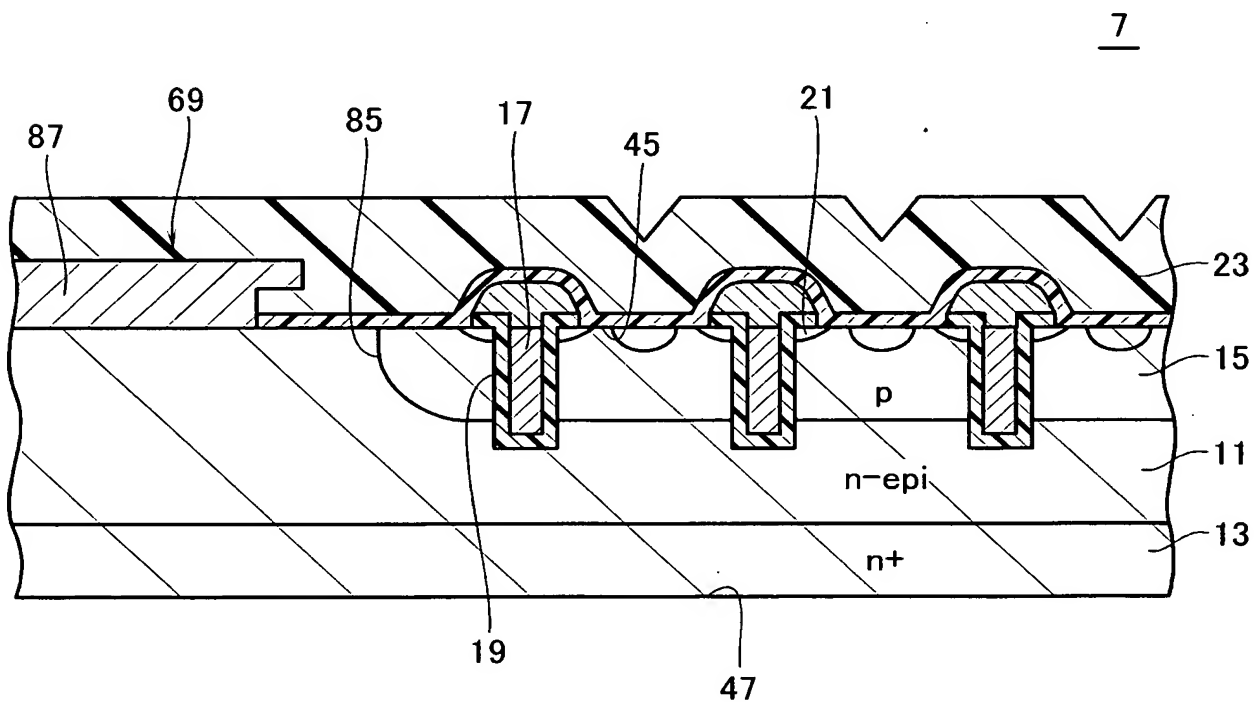
【図 8】



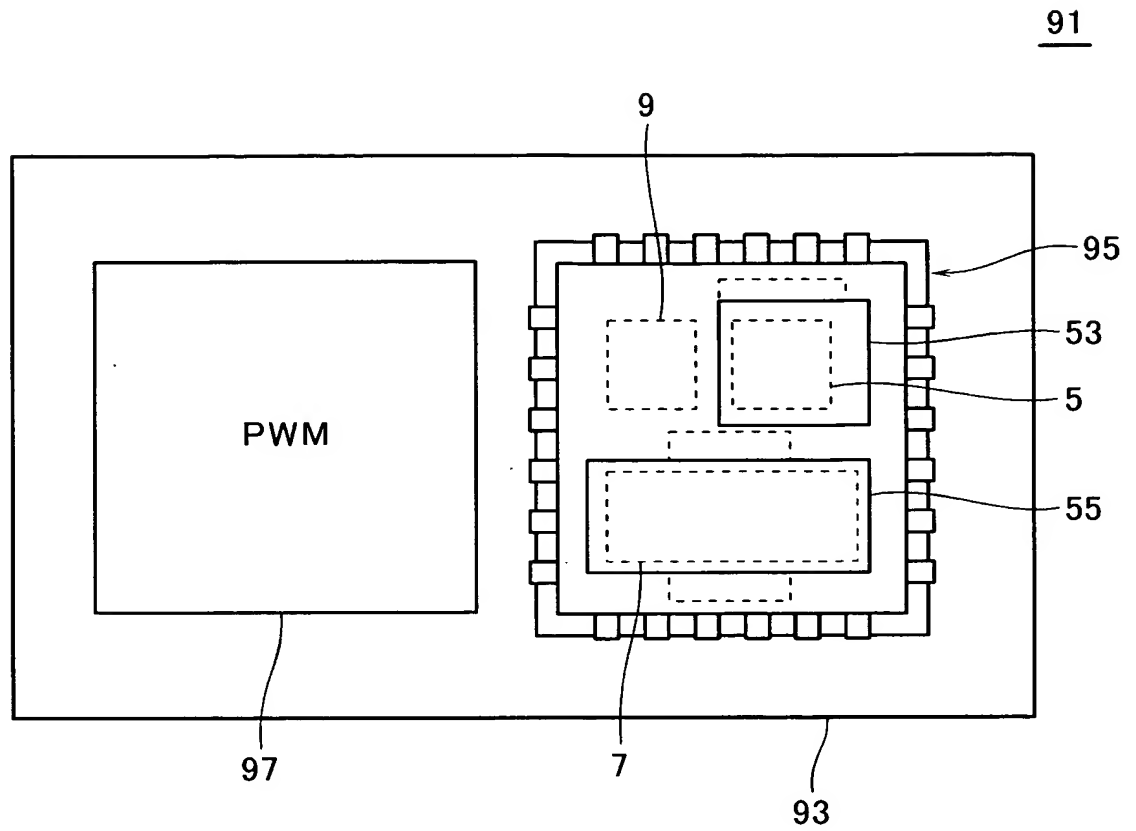
【図 9】



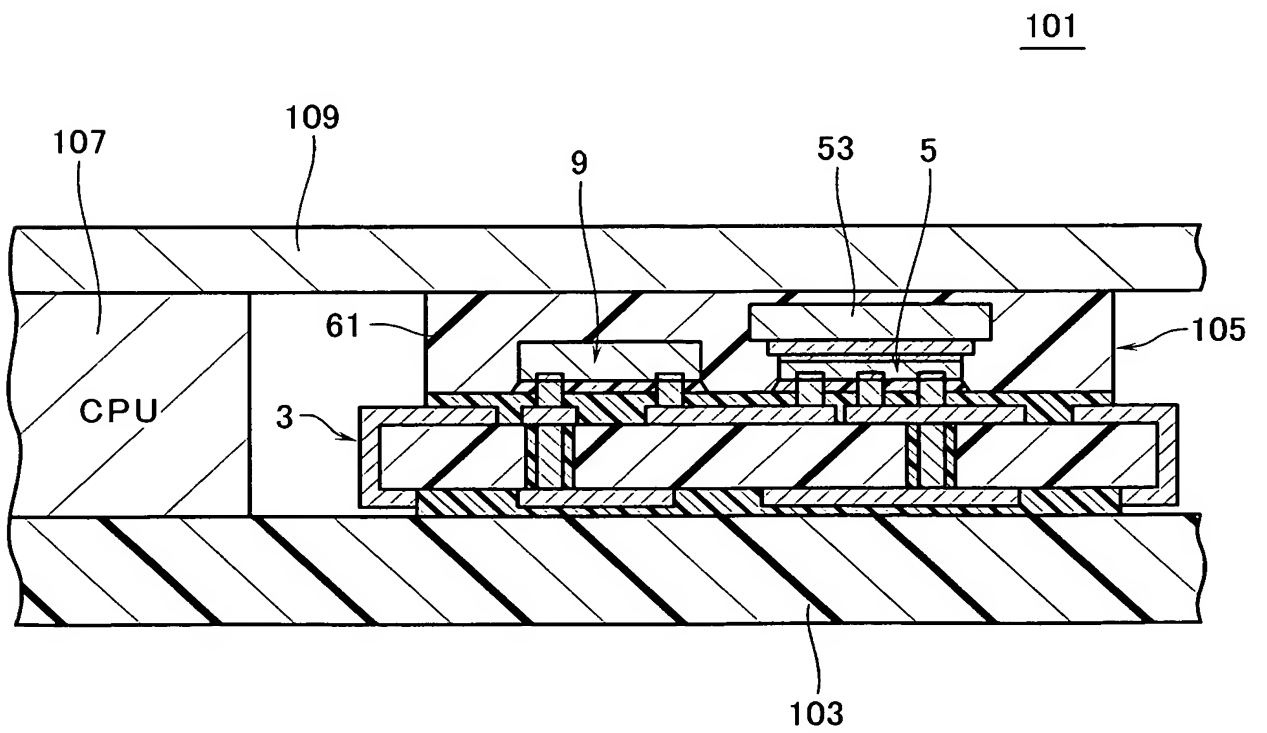
【図 10】



【図 1 1】



【図 1 2】



【書類名】 要約書**【要約】**

【課題】 DC-DCコンバータ用の半導体モジュールの実装スペースの小面積化、配線インピーダンスの低減及び放熱性の向上を図ること。

【解決手段】 パワーMOSチップ（制御側素子）5及びパワーMOSチップ（同期整流側素子）及びこれらのチップに形成されたMOSFETのゲートを駆動するための駆動用ICチップ9が、フリップチップボンディングにより実装基板3に実装されている。パワーMOSチップ5の裏面上には、ヒートシンク53が配置されている。ヒートシンク53は駆動用ICチップ9を覆う位置まで延びている。樹脂部材61により、パワーMOSチップ5及び駆動用ICチップ9が一つのパッケージとして封止されている。

【選択図】 図9

認定・付加情報

特許出願の番号	特願 2004-027066
受付番号	50400176677
書類名	特許願
担当官	第五担当上席 0094
作成日	平成16年 2月 4日

<認定情報・付加情報>

【提出日】 平成16年 2月 3日

特願 2 0 0 4 - 0 2 7 0 6 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝